



## KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

PO 2.4.2 Zaawansowane projektowanie systemów FPGA

### Przedmiot

Kierunek studiów

Teleinformatyka

Studia w zakresie (specjalność)

Poziom studiów  
drugi

Forma studiów  
stacjonarne

Rok/semestr

1/2

Profil studiów  
ogólnoakademicki

Język oferowanego przedmiotu  
polski

Wymagalność  
obieralny

### Liczba godzin

Wykład

30

Laboratoria

30

Inne (np. online)

Ćwiczenia

0

Projekty/seminaria

0/0

### Liczba punktów ECTS

4

### Wykładowcy

Odpowiedzialny za przedmiot/wykładowca:

dr inż. Łukasz Matuszewski, ITM, 61 665 3855

[lukasz.matuszewski@put.poznan.pl](mailto:lukasz.matuszewski@put.poznan.pl)

Odpowiedzialny za przedmiot/wykładowca:

dr inż. Michał Maćkowski, ITM, 61 665 3859

[michal.mackowski@put.poznan.pl](mailto:michal.mackowski@put.poznan.pl)

### Wymagania wstępne

Posiada wiedzę na temat analizy i syntezy cyfrowych układów kombinacyjnych i sekwencyjnych, zna podstawowe cyfrowe bloki funkcjonalne, zasady projektowania złożonych układów cyfrowych i ich



implementacji. Ma wiedzę w zakresie budowy i sposobu działania systemów teleinformatycznych z zastosowaniem układów cyfrowych.

### Cel przedmiotu

1. Przekazanie studentom zaawansowanej wiedzy z zakresu projektowania układów cyfrowych dla układów programowalnych.
2. Rozwijanie u studentów umiejętności rozwiązywania złożonych problemów projektowych i implementacyjnych związanych z układami programowalnymi.
3. Kształtowanie i rozwijanie u studentów umiejętności pozyskiwania wiedzy na temat aktualnych rozwiązań stosowanych w układach programowalnych.

### Przedmiotowe efekty uczenia się

#### Wiedza

Ma wiedzę o współczesnych zaawansowanych narzędziach służących do symulacji działania układów FPGA. Ma wiedzę dotyczącą zaawansowanych języków opisu sprzętu wysokiego poziomu. Posiada wnikliwą wiedzę na temat budowy i struktury układów FPGA oraz metod projektowych takich jak implementacje szeregowy, równoległe i potokowe, wykorzystywane w systemach mikroprocesorowych.

#### Umiejętności

Potrafi zaprojektować i zaimplementować moduł sprzętowy w technice FPGA. Ma wiedzę o współczesnych zaawansowanych narzędziach służących do symulacji działania układów FPGA. Ma wiedzę dotyczącą zaawansowanych języków opisu sprzętu wysokiego poziomu. Posiada wnikliwą wiedzę na temat budowy i struktury układów FPGA oraz metod projektowych takich jak implementacje szeregowy, równoległe i potokowe, wykorzystywane w systemach mikroprocesorowych. Potrafi wykorzystać języki opisu sprzętu wysokiego poziomu do realizacji modułów sprzętowych z systemami mikroprocesorowymi. Potrafi przeprowadzić analizę symulacyjną układów cyfrowych (w tym FPGA) z wykorzystaniem narzędzi symulacyjnych, oraz identyfikować sygnały które należy obserwować. Potrafi znaleźć w literaturze oraz w Internecie informacje dotyczące realizacji projektów w technice FPGA. Potrafi dokonać prezentacji stworzonego projektu w technice FPGA oraz przedstawić jego dobre i złe strony. Potrafi wykorzystać języki opisu sprzętu wysokiego poziomu do realizacji modułów sprzętowych IP core oraz interfejsów komunikacyjnych pomiędzy nimi.

#### Kompetencje społeczne

Jest świadom istnienia innych języków opisu sprzętu wysokiego poziomu. Rozumie, że projektowanie układów sprzętowych odbywa się w dużych zespołach w których konieczne jest stosowanie reguł projektowych oraz testowania.

### Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:



W zakresie wykładów weryfikowanie założonych efektów kształcenia realizowane jest przez: ocenę wiedzy wykazanej na egzaminie. Egzamin polega na udzielaniu odpowiedzi na pytania i na rozwiązywaniu problemów. Do otrzymania oceny 3.0 niezbędne jest zdobycie minimum 50% punktów; 3,5 – 60% punktów; 4,0 – 70% punktów; 4,5 – 80% punktów; 5,0 – 90% punktów.

Przyjęto skalę ocen: bardzo dobry (A) - 5,0; dobry plus (B) - 4,5; dobry (C) - 4,0; dostateczny plus (D) - 3,5; dostateczny (E) - 3,0; niedostateczny (F) - 2,0.

Ocena podsumowująca w zakresie ćwiczeń laboratoryjnych - weryfikowanie założonych efektów kształcenia realizowane jest przez: • ocenę merytoryczną wykonywania zadań laboratoryjnych - 15 punktów, • ocenianie ciągle, na każdych zajęciach (odpowiedzi ustne) - 5 punktów, • oceny uzyskane na sprawdzianach pisemnych - 5 punktów, • uzyskiwanie punktów dodatkowych za aktywność podczas zajęć - 5 punktów.

Do otrzymania oceny 3.0 niezbędne jest zdobycie minimum 50% punktów; 3,5 – 60% punktów; 4,0 – 70% punktów; 4,5 – 80% punktów; 5,0 – 90% punktów.

Przyjęto skalę ocen: bardzo dobry (A) - 5,0; dobry plus (B) - 4,5; dobry (C) - 4,0; dostateczny plus (D) - 3,5; dostateczny (E) - 3,0; niedostateczny (F) - 2,0

## Treści programowe

Wykład:

1. Wyrównanie wiedzy w zakresie podstawowym dla języka opisu sprzętu Verilog.
2. Przedstawienie zaawansowanych cechy języka System Verilog, wraz z elementami BlueSpec.
3. Przedstawienie języka opisu sprzętu System C.
4. Przedstawienie bibliotek opisu sprzętu bazujących na języku Python: MyHDL oraz MiGen.
5. Zagadnienie konstruowania układów Fault-tollerant.
6. Projektowanie układów w metodologii BIST (Built-in Self Test).
7. Przedstawienie interfejsu JTAG.

Ćwiczenia laboratoryjne:

1. Wykorzystanie wiedzy zdobytej na wykładzie do zaprojektowania i implementacji modułów sprzętowych.
2. Wykorzystanie metodologii BIST do testowania układów.
3. Zapoznanie z praktycznym wykorzystaniem interfejsu JTAG.

## Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.

Laboratoria: Pokaz multimedialny, realizacja ćwiczeń laboratoryjnych wg instrukcji, samodzielne rozwiązywanie zadań. Praca na komputerach z dedykowanym oprogramowaniem oraz zestawami dydaktycznymi przeznaczonymi do testowania zaimplementowanych układów FPGA.

## Literatura

Podstawowa



- S. Palnitkar, Verilog HDL (2nd Edition), Prentice Hall Professional, 3 mar 2003.
- M. Pawłowski, A. Skorupski, Projektowanie złożonych układów cyfrowych, WKiŁ, 2010.
- M. Węgrzyn, A. Barkalov, Design of Control Units with Programmable Logic. Zielona Góra 2006.

Uzupełniająca

- J. Bieganowski, G. Wawrzyniak, Język Verilog w projektowaniu układów FPGA.
- R. Woods, J. McAllister, Yi Y. Lightbody, FPGA-based Implementation of Signal Processing Systems, Wiley, 2008.
- S. Kilts, Advanced FPGA DESIGN, Wiley 2007.

**Bilans nakładu pracy przeciętnego studenta**

	Godzin	ECTS
Łączny nakład pracy	120	4.0
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	64	3.0
Praca własna studenta (przygotowanie do zaliczenia, przygotowanie do laboratorium, przygotowanie do egzaminu, studia literaturowe)	56	1.0